

三层以太网交换机CPU收发包问题的分析 PDF转换可能丢失图片或格式，建议阅读原文

[https://www.100test.com/kao\\_ti2020/231/2021\\_2022\\_\\_E4\\_B8\\_89\\_E5\\_B1\\_82\\_E4\\_BB\\_A5\\_E5\\_c101\\_231470.htm](https://www.100test.com/kao_ti2020/231/2021_2022__E4_B8_89_E5_B1_82_E4_BB_A5_E5_c101_231470.htm) 在当前的三层以太网交换设备中，报文的二层交换和三层路由主要由交换芯片和网络处理器完成，CPU基本上不参与交换和路由过程，主要完成管理和控制交换芯片的功能[1]。在这种情况下，CPU的负载主要来自以下几个方面：协议的定时驱动、用户的配置驱动、外部事件的驱动。其中，外部事件的驱动最为随机，无法预料。典型的外部事件包括端口的连接/断开(Up/Down)，媒体访问控制(MAC)地址消息的上报(包括学习、老化、迁移等)，CPU通过直接存储器存取(DMA)收到包，CPU通过DMA发包等。在以上所列的外部事件中，又以CPU通过DMA收到包之后的处理最为复杂。因为数据包由低层上送到上层软件时，各协议的处理动作千差万别，可能会涉及到发包、端口操作、批量的表操作等。所以，只有处理好CPU的收发包的相关问题，才能使相关的上层协议正常交互，从而使交换机稳定、高效地运行。

1 可能涉及到的问题 下面就CPU收发包可能涉及的各个方面分别说明。下面的分析都基于典型的CPU收发包机制：CPU端口分队列，通过DMA接收，采用环形队列等。

1.1 CPU的负载与收包节奏控制 根据交换机处理数据包的能力，决定单位时间上送到CPU的包的个数；决定了单位时间上送多少个包给CPU后，再考虑上送数据包的节奏。假设通过评估，确定了单位时间上送CPU数据包的上限，例如每秒x个数据包。图1图1给出了两种典型的处理手段：匀速上报CPU、突发(Burst)方式上报CPU，下面

分别分析一下这两种方式的优劣：(1)匀速上报CPU 数据包匀速上报CPU时，对CPU队列的冲击较小，而且对CPU队列的缓冲能力要求不高，CPU队列不必做得很大。100Test 下载频道开通，各类考试题目直接下载。详细请访问

[www.100test.com](http://www.100test.com)